

О ранковой флеш памяти

Соколов А. П., Межов И. В.

Флеш память в последнее десятилетие стала доминирующей технологией для хранения информации как в персональных вычислительных средствах, так и в корпоративных продуктах: серверах, сетевых хранилищах и дата-центрах. Первоначально технология флеш памяти предполагала хранение одного бита информации в ячейке (SLC-память). Далее с развитием технологий изготовления флеш памяти, а также в связи с использованием во флеш памяти более мощных помехоустойчивых кодов, стало возможным хранить в каждой ячейке 2 бита (MLC-память) или даже 3 бита (TLC-память) информации. Увеличение объема информации, содержащейся в каждой ячейке, приводит к значительному росту вероятности ошибки при чтении. При этом, по мере износа флеш памяти, электрические заряды, хранящиеся в ячейках, имеют тенденцию к уменьшению. Этот процесс приводит к еще большему росту вероятности ошибок чтения и, фактически, приводит к выходу флеш памяти из строя через некоторое время эксплуатации. Ранковый способ хранения информации в ячейках флеш памяти устойчив к процессу постепенного снижения электрических зарядов в ячейках. Более того, данный способ позволяет хранить в том же количестве ячеек больший объем информации. В работе приводится общее описание устройства флеш памяти, описана процедура чтения и рассмотрена простейшая модель ошибок. Далее описан способ хранения информации во флеш памяти с помощью ранков (перестановок). Даны оценки емкости данного типа памяти в сравнении с обычной флеш памятью. Введено понятие Кендалл-Тау расстояния на множестве перестановок. С помощью данного расстояния получена оценка на размер ранковой макроячейки с учетом технологических ограничений. В заключение приведено сравнение плотности записи ранковой и обычной флеш памяти. Явным образом показаны случаи большей плотности ранковой памяти по сравнению с обычной.

Ключевые слова: ранковая флеш память, SLC/MLC/TLC флеш память, эффективность флеш памяти в части занимаемой площади.

1. Введение

Микросхема флеш памяти состоит из блоков. Блок - минимальная часть флеш памяти, которая может быть стерта за одну операцию. Блок состоит из строк (wordline), каждая строка состоит из отдельных ячеек. Запись информации во флеш память осуществляется по строкам. Организация блока флеш памяти приведена ниже (1).

WL_1	c_{11}	c_{12}	...	c_{1p}
	c_{21}	c_{22}	...	c_{2p}
	...			
WL_q	c_{q1}	c_{q2}	...	c_{qp}

Рис. 1. Организация блока флеш памяти.

Здесь WL_1, \dots, WL_q - строки блока.

Далее, обозначим ячейки блока - $c_{ij}, i \in \{1, \dots, p\}, j \in \{1, \dots, q\}$. Каждая ячейка хранит некоторый электрический заряд, в следствие которого в ячейке возникает напряжение - $v_{ij} \in R$, где R - множество вещественных чисел. При записи информации в ячейку c_{ij} закачивается некоторый электрический заряд, что приводит к появлению в ячейке напряжения v_{ij} отличного от нуля. При стирании информации из блока напряжение всех ячеек блока становится равным нулю.

В обычной флеш памяти информация хранится следующим образом. Каждая ячейка c_{ij} хранит фиксированное количество бит информации - k . При этом, данная величина является фиксированной для всех ячеек флеш памяти. Выделяют 2^k опорных (референсных) напряжения V_1, \dots, V_Q , где $Q = 2^k$. В зависимости от величины k выделяют различные типа флеш памяти - SLC ($k = 1$), MLC ($k = 2$), TLC ($k=3$). Далее всякую ячейку флеш памяти будем обозначать MLC, при этом будем полагать, что в ней содержится k бит информации.

Для записи информации в ячейку используется некоторая кодирующая функция $V(b_1, \dots, b_k) : \{0, 1\}^k \rightarrow \{V_1, \dots, V_Q\}$, которая каждому набору k бит информации ставит во взаимно однозначное соответствие некоторое референсное напряжение.

При записи информации во флеш ячейку из-за наличия различного рода электрических шумов и дефектов флеш ячеек фактическое напряжение ячейки оказывается отличным от желаемого референсного

$$\tilde{V}(b_1, \dots, b_k) = V(b_1, \dots, b_k) + \eta.$$

Здесь $\tilde{V}(b_1, \dots, b_k)$ - фактическое напряжение, записанное в ячейку, η - ошибка записи напряжения.

Ошибка записи напряжения - величина, которая зависит от множества различных факторов: температура микросхемы флеш памяти, желаемое напряжение записи - $V(b_1, \dots, b_k)$, количество циклов стираний блока и др. В первом приближении можно полагать, что величина η является случайной величиной с нормальным распределением и нулевым средним, то есть $\eta = N(0, \sigma^2)$.

В результате записи некоторых бит информации с равновероятным распределением нулей и единиц распределение напряжений множества ячеек флеш памяти приобретает вид, изображенный ниже (2).

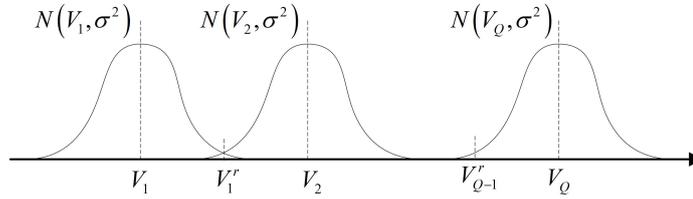


Рис. 2. Распределение напряжений ячеек флеш памяти.

Чтение информации из MLC флеш памяти осуществляется построчно. Для этого используется простая пороговая схема, которая для каждой ячейки сравнивает значение хранящегося в ней напряжения с пороговыми значениями V_1^r, \dots, V_{Q-1}^r , которые находятся на пересечении распределений соседних референсных уровней.

Функция чтения информации определяется так

$$B(v) = \left\{ (b_1, \dots, b_k) \in \{0, 1\}^k : (V_{i-1}^r \leq v \leq V_i^r) \& (V_{i-1}^r \leq V(b_1, \dots, b_k) \leq V_i^r), 0 \leq i \leq Q + 1 \right\},$$

где $V_0^r = -\infty, V_{Q+1}^r = +\infty$.

Иными словами функция чтения определяет интервал $(V_{i-1}^r; V_i^r)$, в котором находится напряжение v , хранящееся в ячейке, и ставит ему

в соответствие набор $(b_1, \dots, b_k) \in \{0, 1\}^k$, которому соответствует референсное напряжение V_i . В микросхеме флеш памяти данная задача решается с помощью набора компараторов, которые сравнивают значение напряжения ячейки со всеми референсными напряжениями одновременно.

Существенной проблемой MLC флеш памяти является постепенное снижение напряжений, хранящихся в ячейках. При этом данное снижение возникает даже при отсутствии активности микросхемы. Электрический заряд, хранящийся в ячейке постепенно снижается. Происходящее при этом изменение распределений напряжений изображено ниже (3).

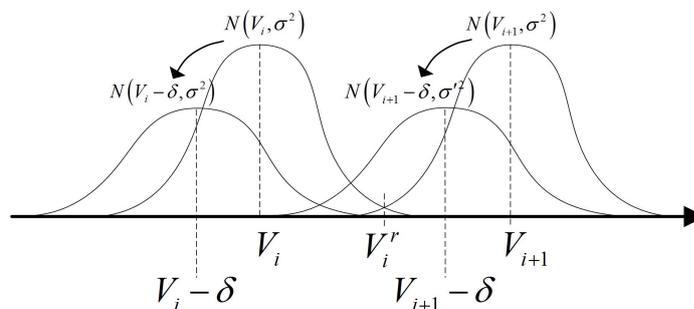


Рис. 3. Смещение распределений напряжений ячеек MLC флеш памяти.

В результате, пороговое напряжение V_i^r , используемое для чтения информации, становится более недействительным. В итоге значительно возрастает вероятность ошибки чтения и, как следствие, через некоторое время становится невозможным считать данные из флеш памяти.

Ранковая память, предложенная в работах A.Jiang, E.Gad и др. ([1], [2], [3]), представляет собой способ хранения информации в ячейках флеш памяти, устойчивый к эффекту постепенного снижения напряжений ячеек.

2. Ранковая флеш память

При ранковом способе хранения информации n соседних ячеек флеш памяти объединяются в одну *ранковую макроячейку* - $M = (c_1, \dots, c_n)$. Полагаем, что v_1, \dots, v_n - напряжения, хранящиеся в ячейках c_1, \dots, c_n , не совпадают друг с другом. Иными словами $v_i \neq v_j, i \neq j$.

Пусть S_n - множество всех перестановок длины n .

Обозначим $K(v_1, \dots, v_n) : R^n \rightarrow S_n$ функцию, которая ставит в соответствие набору из n различных напряжений перестановку $s = (a_1, \dots, a_n) \in S_n$, такую что $a_i < a_j \Leftrightarrow v_i < v_j$ для всех пар $i, j \in \{1, n\}, i \neq j$. Иными словами перестановка s задает порядок напряжений, хранящихся в макроячейке, друг относительно друга.

Изменяя напряжения, в макроячейку можно записать любую из $n!$ перестановок. Следовательно, одна макроячейка содержит $\log_2(n!)$ бит информации.

Легко видеть, что при изменении всех напряжений макроячейки на некоторую величину δ соответствующая ей перестановка не изменится. То есть $\forall \delta \in R, K(v_1 + \delta, \dots, v_n + \delta) = K(v_1, \dots, v_n)$, где R - множество действительных чисел. Следовательно данный способ хранения информации устойчив к снижению напряжений ячеек в том случае, если это снижение одинаково для всех ячеек, входящих в макроячейку.

3. Плотность ранковой и обычной флеш памяти

Рассмотрим вопрос, как соотносятся плотность записи в ранковой и MLC флеш памяти.

Одна ранковая макроячейка, состоящая из n флеш ячеек, содержит $\varphi(n) = \log_2(n!)$ бит информации. Аналогичный ей по площади набор из n MLC-ячеек содержит $\psi(n) = nk$ бит информации, где k - количество бит, содержащихся в одной MLC ячейке.

По формуле Стирлинга получаем $\varphi(n) = n \log_2 n - \log_2 e \cdot n + O(\log_2 n)$. Таким образом, при стремлении n к бесконечности объем информации в ранковой памяти растет асимптотически быстрее, чем в обычной. То есть при $n \rightarrow \infty, \psi(n) = o(\varphi(n))$.

Рассмотрим вопрос плотности ранковой и MLC-флеш памяти с учетом технологических ограничений на производство микросхем.

В работе М. Kendall ([4]) было введено понятие Кендалл-Тау расстояния между перестановками.

$$D(s_1, s_2) = |\{(i, j) : i < j, [(s_1(i) < s_1(j)) \& (s_2(i) > s_2(j))] \vee [(s_1(i) > s_1(j)) \& (s_2(i) < s_2(j))]\}|.$$

Иными словами расстояние $D(s_1, s_2)$ показывает количество пар индексов, на которых порядки элементов перестановок s_1 и s_2 не соответствуют друг другу.

Известно, что максимальное Кендалл-Тау-расстояние между перестановками равно числу всех пар из n элементов. То есть

$$D(s_1, s_2) \leq \frac{n(n-1)}{2}.$$

Следовательно для чтения информации из ранковой ячейки необходимо попарно сравнить все напряжения v_1, \dots, v_n , хранящиеся в ней. Это означает, что логическая часть микросхемы, осуществляющая чтение информации из макроячейки, должна выполнить операцию сравнения напряжений для каждой пары ячеек.

В обычной МЛС флеш памяти для чтения необходимо сравнить напряжение, хранящееся в ячейке, с каждым из $Q - 1$ референсных значений. Данные операции не зависят друг от друга поэтому могут быть выполнены параллельно. Таким образом длительность такта чтения в МЛС памяти определяется длительностью такта работы одного компаратора, выполняющего функцию сравнения.

Для ранковой памяти будем исходить из предположения, что операция чтения также представляет собой множество операций сравнения, выполняемых параллельно на множестве компараторов. Следовательно, в составе читающей логики микросхемы для каждой ранковой макроячейки должно быть по крайней мере $n \cdot (n - 1) / 2$ компараторов. Также как и в МЛС памяти в ранковой памяти имеет смысл использовать один набор компараторов для целой строки.

В этом случае в непосредственной близости от ранковой макроячейки должно располагаться по крайней мере $\frac{n(n-1)}{2}$ проводов, соединяющих все пары ячеек между собой. Полагаем, что соответствующий компаратор располагается непосредственно на этом проводе.

Рассмотрим граф G_n , вершинами которого являются ячейки, входящие в состав ранковой макроячейки, а ребра соединяют все возможные пары ячеек между собой. Легко видеть, что это будет полный граф степени n . Обозначим $p = \frac{n(n-1)}{2}$ - число ребер графа G_n .

Технология производства микросхем предполагает слоистую структуру, поэтому возникает вопрос укладки данного графа на отдельные слои.

Легко видеть, что начиная с $n \geq 5$ граф G_n будет непланарным. Следовательно укладка соответствующей схемы чтения на один слой невозможна. В таком случае оценим минимальное количество пересечений ребер графа G_n . Данные пересечения технологически выполняются с

помощью специальных ячеек, площадь которых сравнима с площадью отдельных ячеек флеш памяти.

По теореме Эйлера для всякого планарного графа без кратных ребер выполнено $n + f - e = 2$, где n -количество вершин, f -количество граней, e -количество ребер. С другой стороны для всякого планарного графа такого, что $f \geq 2$, имеет место неравенство $3f \leq 2e$. Выразим число граней по теореме Эйлера и подставим в последнее неравенство:

$$6 + 3e - 3n \leq 2e.$$

Следовательно, число ребер планарного графа при $f \geq 2$ удовлетворяет неравенству $e \leq 3n - 6$.

Обозначим m - минимальное число пересечений ребер графа G_n при укладке на слои микросхемы. Из предыдущих рассуждений следует, что

$$m \geq p - 3n - 6.$$

Следовательно

$$m \geq \frac{n^2 - 7n + 12}{2}.$$

Таким образом площадь ранковой макроячейки в терминах числа элементарных технологических ячеек можно оценить как $n + m$. Данная макроячейка содержит $\varphi(n) = \log_2(n!)$ бит информации. Легко видеть, что в эквивалентном по площади наборе обычных МЛС ячеек содержится $\psi'(n) = k \cdot (n + m)$ бит информации. Следовательно ранковая макроячейка содержит информации больше, чем аналогичный ей по площади набор МЛС ячеек тогда и только тогда, когда $\log_2(n!) \geq k \cdot (n + m)$. Подставим в данное неравенство выражение для m и получим

$$\log_2(n!) \geq k \cdot \frac{n^2 - 5n + 12}{2}.$$

Данное неравенство имеет следующее решение в целых числах

$$k = 1, n \in \{4, 5, 6\}.$$

Для указанных случаев величина отношения плотности записи ранковой памяти относительно обычной МЛС памяти

$$\frac{\varphi(n)}{\psi'(n)} \cdot 100\%$$

принимает значения 14%, 15% и 6%, соответственно. Таким образом имеет место теорема.

Теорема. *Ранковая флеш память, осуществляющая чтение информации за один такт с помощью множества параллельных компараторов, имеет плотность записи информации более высокую, чем MLC флеш память, тогда и только тогда, когда $k = 1, n \in \{4, 5, 6\}$.*

Данное утверждение фактически определяет границы применимости ранковой флеш памяти с описанным способом чтения. В качестве альтернативного способа осуществления чтения информации из ранковой памяти можно предложить отказ от использования схемы из множества компараторов в пользу непосредственной оцифровки значений напряжений в ячейках и дальнейшая их сортировка в цифровой области.

Список литературы

- [1] Anxiao Jiang, Robert Mateescu, Moshe Schwartz, Jehoshua Bruck, "Rank Modulation for Flash Memories Information Theory IEEE Transactions on, vol. 55, pp. 2659-2673, 2009, ISSN 0018-9448.
- [2] Anxiao Jiang, Moshe Schwartz, Jehoshua Bruck, "Error-correcting codes for rank modulation Information Theory 2008. ISIT 2008. IEEE International Symposium on, pp. 1736-1740, 2008.
- [3] E. E. Gad, E. Yaakobi, A. Jiang, J. Bruck, "Rank-modulation rewriting codes for flash memories ISIT 2013 – Proceedings of the 2013 IEEE International Symposium on Information Theory, pp. 704-708, 2013.
- [4] M. Kendall, "A New Measure of Rank Correlation". Biometrika 30, pp. 81–89, 1938.

On rank flash memory Sokolov A. P., Mezhov I. V.

Flash memory in the last decade became dominant technology for storing data both for personal electronic devices and enterprise products: servers, network storages and data centers. Initially flash memory technology assumed storing only one data bit in flash cell (SLC-memory). Further development of production technology of flash memory and integration of more powerful error correction codes in flash memory modules made it possible to store 2 bits (MLC-memory) and

even 3-bits (TLC-memory) of data. Increase of number of bits stored in each cell leads to significant increase of probability of error during read operation. Furthermore with increase of programm-erase cycles electric charges stored in flash memory cells have tendency to decrease. This process also leads to increase of probability of error during read operation. Finally this process of charge decrease leads to flash memory failure when error correction code cannot fix all read errors. Rank method of storing data in flash cells is resilient to process of gradual decrease of cell charges. Moreover this method theoretically has higher area efficiency in comparison with conventional SLC/MLC/TLC memory. First in this paper brief description of conventional flash memory is given. Read operation is analyzed, basic model of read errors is described. Then rank method of storing data is presented. Estimated amount of memory stored by this method in comparison with conventional flash memory. Introduced Kendall-Tau distance between permutations. By means of this distance estimated area of rank memory taking in account technological limitations. Finally it's analyzed area efficiency of rank flash memory in comparison with conventional flash memory. Explicitly described cases when rank memory has higher area efficiency than conventional SLC/MLC/TLC memory.

Keywords: rank flash memory, SLC/MLC/TLC flash memory, flash memory area efficiency.